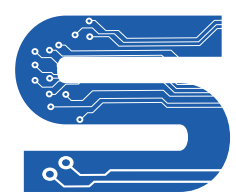


**Syntacore**<sup>TM</sup>  
RISC-V cores and tools

# Архитектура RISC-V

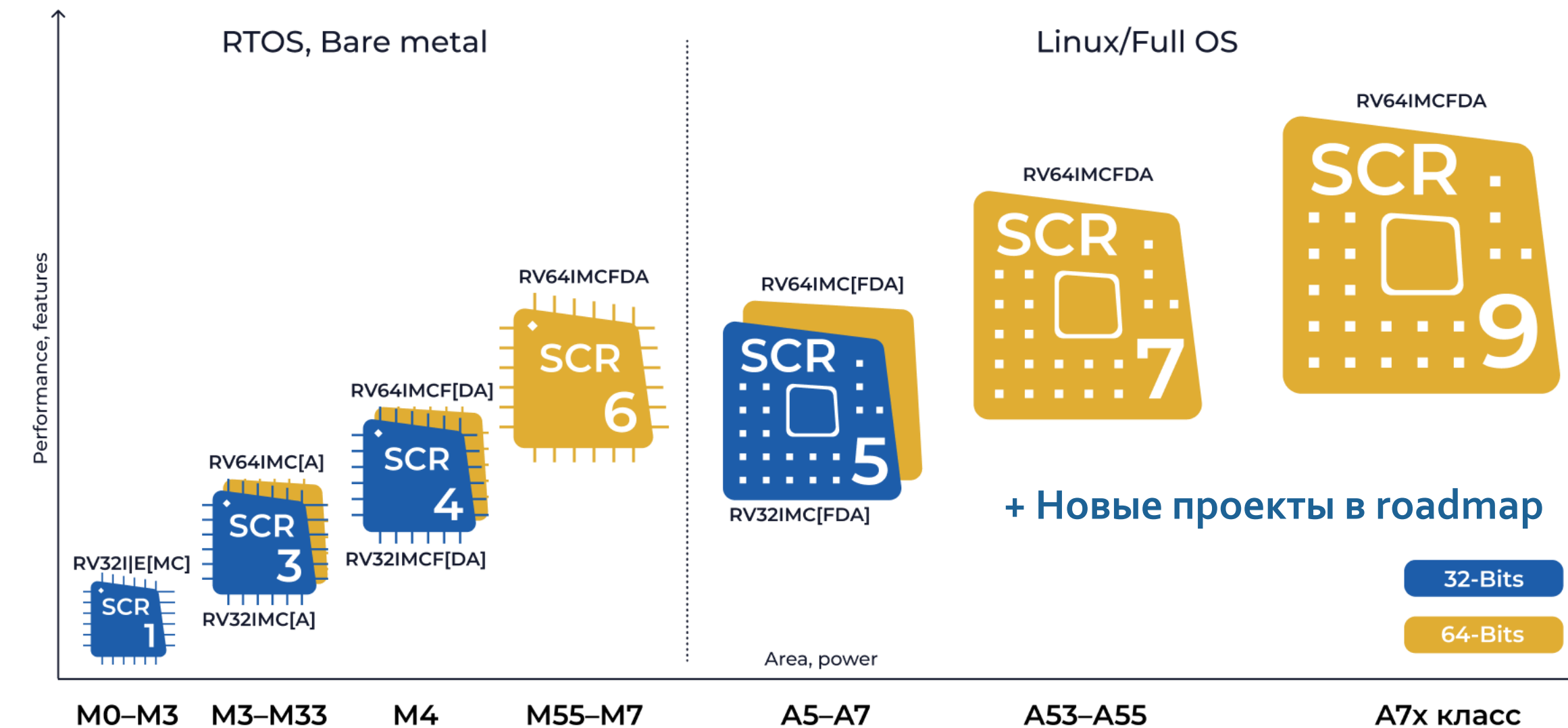
**23 января 2024**  
**Роман Попов**

1. О компании Syntacore
2. Обзор RISC-V
3. Примеры продуктов на RISC-V
4. Перспективы RISC-V в России
  - Российский Альянс RISC-V
  - Дорожная карта Альянса RISC-V
5. Обзор линейки поставок микроконтроллеров на RISC-V



## Разработка и лицензирование современных процессорных технологий с архитектурой RISC-V

- Сооснователь и Premier участник RISC-V International
- Сооснователь и участник российского Альянса RISC-V
- Широкое портфолио процессорного IP с архитектурой RISC-V
  - От низкопотребляющих микроконтроллеров до многоядерных кластеров с поддержкой Linux
  - Специализация под приложение
- Средства разработки и программные стеки



SCR1 - доступен на Github  
<https://github.com/syntacore/scr1>

35+

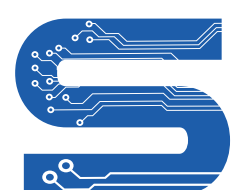
КЛИЕНТСКИХ  
ПРОЕКТОВ

200+

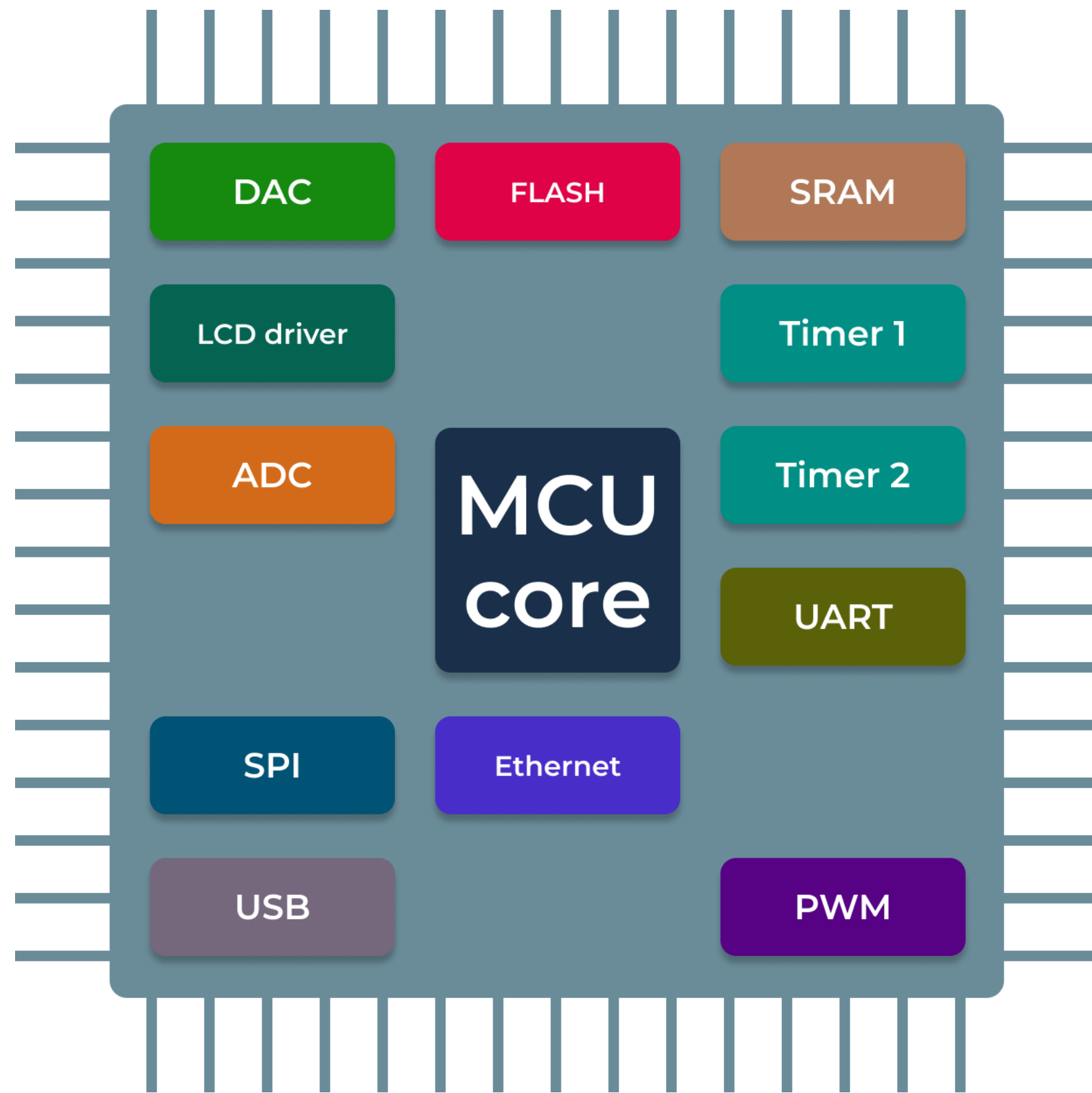
СОТРУДНИКОВ

2015

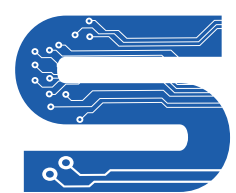
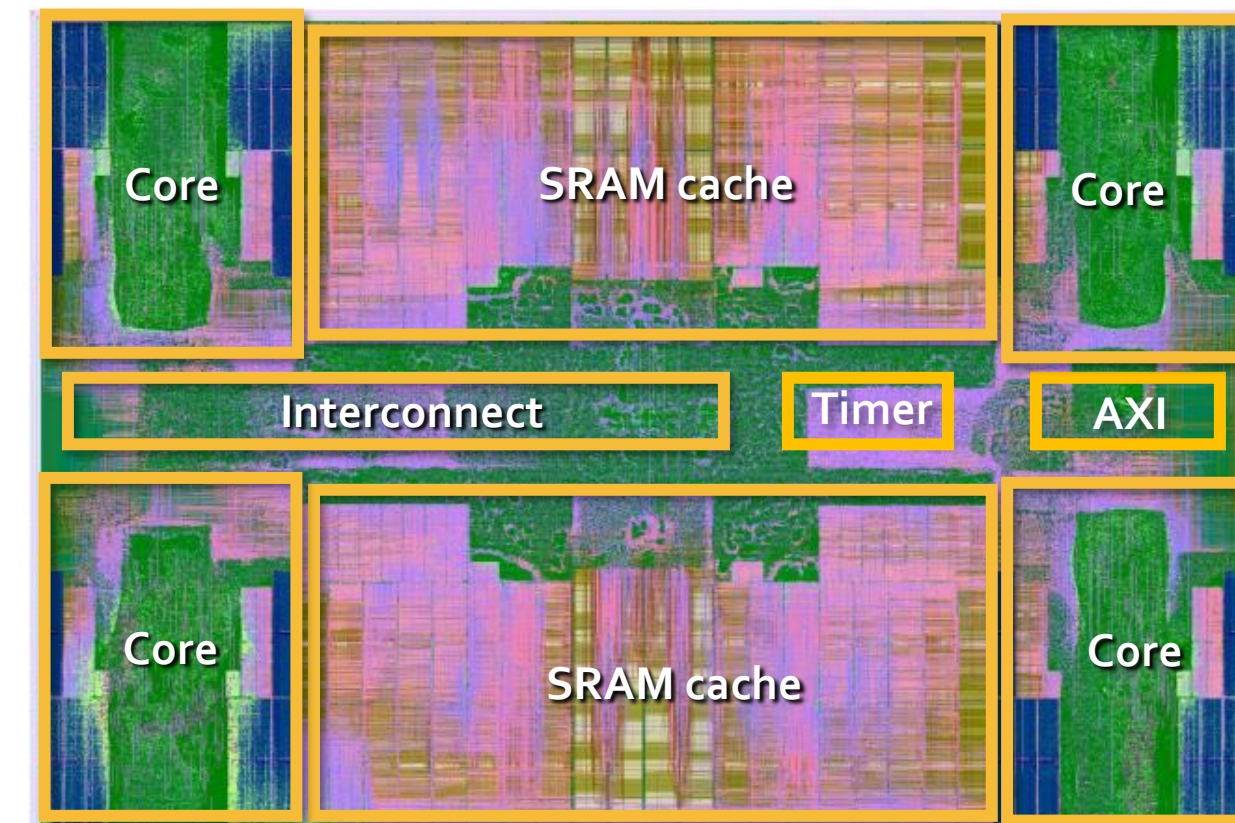
ГОД ОСНОВАНИЯ



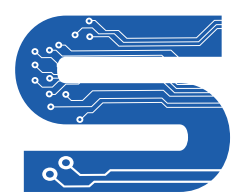
# IP-блоки (СФ-блоки)



MCU core



- 1980 годы - первые исследования, образцы процессоров на базе RISC
- 2010 – начало работ над RISC-V в лаборатории Part Lab Berkley
- 2011 – первая официальная публикация стандарта
- 2014 - версия стандарта, которая лежит в основе действующей ISA
- 2015 – был создан консорциум RISC-V Foundation с 36 участниками
- 2018 - сотрудничестве с The Linux Foundation
- 2020 – создан консорциум RISC-V International с штаб квартирой в Швейцарии
- 2024 – количество участников консорциума более 3900 участников





# Консорциум RISC-V International



3900+

Участников более чем из 70 стран

## Лидеры MCU

Renesas, NXP, ST, Microchip, Infineon

## Лидеры CPU

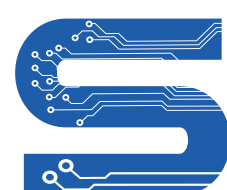
Intel, AMD, Qualcomm, Nvidia, Mediatek

## Региональные Альянсы

В РФ, Китае, Тайване, Индии, Европе, Пакистане, Японии

## Швейцария

Штаб-квартира консорциума



**Syntacore**<sup>TM</sup>  
RISC-V cores and tools

# Глобальная экосистема RISC-V



50+

Крупных компаний разработчиков ПО: Google, Red Hat, Segger, IAR Systems

1000+

Пакетов ПО с поддержкой RISC-V

Linux

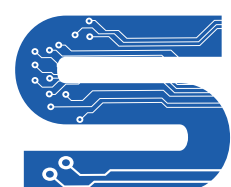
RISC-V поддержан популярными дистрибутивами - Debian, Ubuntu, Mint

RISE

Объединение компаний для ускорения развития open source экосистемы ПО - Google, Intel, Red Hat, Qualcomm, Samsung

Quintauris

Qualcomm, Bosch, Infineon Technologies, Nordic Semiconductor и NXP Semiconductor будут развивать решения на базе RISC-V





## RISC-V – открытый, современный и свободный стандарт на архитектуру процессора (ISA)

- Открытая архитектурная лицензия
- Создавать совместимые процессоры разрешено всем

## Цель консорциума – разработать единый стандарт для всех классов устройств

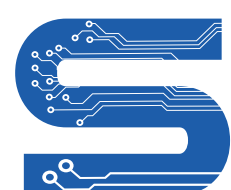
- Базовые наборы 32-, 64- и 128-бит
- Модульность и расширяемость в основе стандарта

## Качественный стандарт для любых процессоров общего назначения + самая экономически эффективная основа для domain-specific и специализированных решений

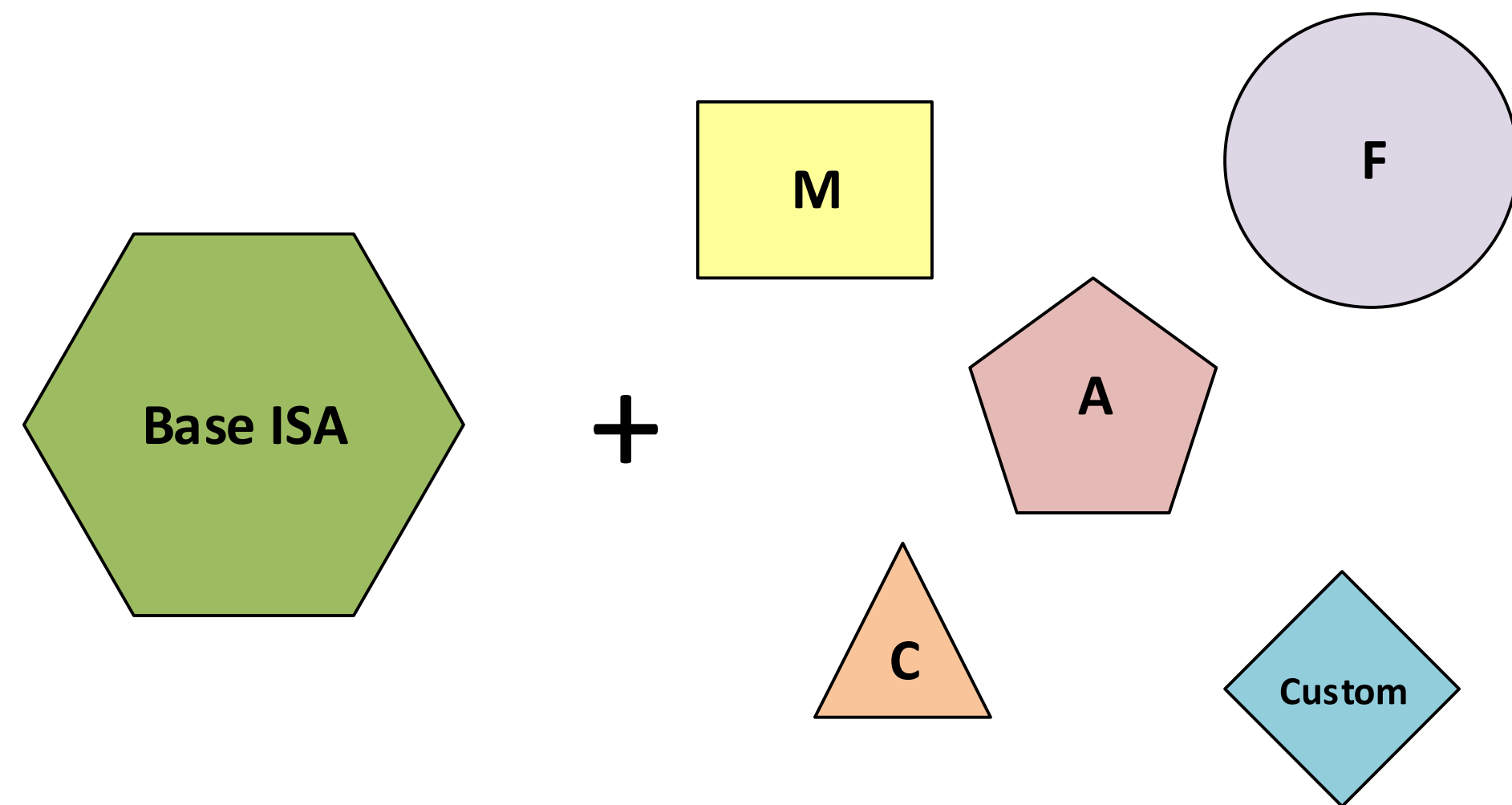
BEQ	XOR	LB	SB	SLL	ADD	LWU	SRAIW	
BNE	XORI	LH	SH	SLLI	ADDI	LD	ADDW	
BLT	OR	LBU	SW	SRL	SUB	SD	SUBW	
BGE	ORI	LHU	SLT	SRLI	LUI	SLLI	SLLW	
BLTU	AND	LW	SLTI	SRA	AUIPC	SRLI	SRLW	
BGEU	ANDI	FENCE	SLTU	SRAI	ECALL	SRAI	SRAW	
JAL	JALR	FENCEI	SLTIU	WFI	EBREAK	ADDI		
CSRRW	CSRRC	CSRRSI	SFENCE.VMA	SRET	MRET	SLLIW		
CSRRS	CSRRI	CSRRCI	CLFLUSH*	CLINV*	CLLOCK*	SRLIW		
(in addition to RV32I)								
<b>RV32/64M Integer Multiplication and Division</b>								
MUL	MULHSU	DIV	REM			MULW	DIVUW	REMUW
MULH	MULHU	DIVU	REMU			DIVW	REMW	
(in addition to RV32M)								
<b>RV32/64C Compressed Instructions</b>								
C.MV	CLW	C.SW	C.BEQZ	C.ADD	C.AND	CLD	CSD	
CLL	CLWSP	C.SWSP	C.BNEZ	C.ADDI	C.ANDI	CLDSP	CSDSP	
CLLUI	C.FLW	C.FSW	CJ	C.ADDI16SP	C.OR	C.ADDW		
C.SLLI	C.FLWSP	C.FSWSP	CJR	C.ADDI4SPN	C.XOR	C.ADDIW		
C.SRAI	C.FLD	C.FSD	CJAL	C.SUB	CEBREAK	C.SUBW		
C.SRLI	C.FLDSP	C.FSDSP	CJALR	C.NOP				
(in addition to RV32C)								
<b>RV32/64A Atomic Instructions</b>								
LR.W	AMO.XOR.W	AMOMAX.W				LR.D	AMO.XOR.D	AMOMAX.D
SC.W	AMOAND.W	AMOMINU.W				SC.D	AMOAND.D	AMOMINU.D
AMOSWAP.W	AMOOR.W	AMOMAXU.W				AMOSWAP.D	AMOOR.D	AMOMAXU.D
AMOADD.W	AMOMIN.W					AMOADD.D	AMOMIN.D	
(in addition to RV32A)								
<b>RV32/64F Single-Precision Floating-Point</b>								
FLW	FNMADD.S	FSQRT.S	FCVT.W.S	FLE.S	FSGNJ.S	FCVT.LS		
FSW	FADD.S	FSGNJ.S	FCVT.WU.S	FCLASS.S		FCVT.LU.S		
FMADD.S	FSUB.S	FSGNJN.S	FMV.X.S	FCVT.S.W		FCVT.SL		
FMSUB.S	FMUL.S	FMIN.S	FEQ.S	FCVT.S.WU		FCVT.SLU		
FNMSUB.S	FDIV.S	FMAX.S	FLT.S	FMV.W.X				
(in addition to RV32F)								
<b>RV32/64D Double-Precision Floating-Point</b>								
FLD	FNMADD.D	FSQRT.D	FMAX.D	FLE.D	FCVT.D.WU	FCVT.LD	FMV.D.X	
FSD	FADD.D	FSGNJ.D	FCVT.S.D	FCLASS.D	FMV.2X.D	FCVT.LU.D		
FMADD.D	FSUB.D	FSGNJN.D	FCVT.D.S	FCVT.W.D	FMV.D.2X	FMV.X.D		
FMSUB.D	FMULD	FSGNJX.D	FEQ.D	FCVT.WU.D		FCVT.DL		
FNMSUB.D	FDIV.D	FMIN.D	FLT.D	FCVT.D.W		FCVT.D.LU		
(in addition to RV32D)								

Технические спецификации на RISC-V:

<https://wiki.riscv.org/display/HOME/RISC-V+Technical+Specifications>







## 1. Компактный базовый целочисленный набор команд

Обязательная часть архитектуры, на выбор один из четырех:

- **RV32I** – 47 инструкций для работы с 32-битными целыми и 32-битными адресами
- **RV32E** – вариация RV32I с урезанным количеством регистров общего назначения
- **RV64I, RV128I** – наборы команд для поддержки расширенных целых и 64-битных адресов

## 2. Модульная структура с поддержкой расширяемости и специализации

- Небольшой базовый набор команд с набором стандартных расширений
- Разумное управление кодированием команд, существенное резервирование

## 3. Простота

- Существенно меньше, чем другие коммерческие ISA

## 4. Стабильность

- Базовый набор и стандартные расширения зафиксированы
- Добавление функциональности через расширения, не выпуск новых версий

## 5. Спецификации доступны для свободного и бесплатного использования

<https://wiki.riscv.org/display/HOME/RISC-V+Technical+Specifications>

## Базовые integer

RV32I: 32-бит

- Всего 47 инструкций

RV64I: 64-бит

- Основной фокус Linux

RV128I: 128-бит

- На будущее

## Основные стандартные

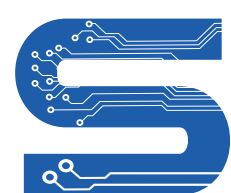
- M: integer multiply/divide
- A: atomics
- F, D, Q: float single-, double-, quad-precision
- G: general purpose = IMAFD
- C: compressed ~аналог thumb
- V: vectors – векторное расширение
- H: hypervisor – HS- и VS-mode
- + более 20 других

## Основной target Linux разработки – RV64GC(IMAFDC)

## Дальнейшее развитие – стандартизация, платформы и профили

Полная информация: [riscv.org/technical/specifications/](https://riscv.org/technical/specifications/)

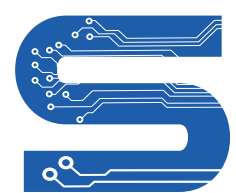
Extension Name	Description	Depends On or Implies	Ratification Year	m - Mandatory					
				RV120	RVA20	RVM20	RVA22	RVM22	
				Mode	Mode	Mode	Mode	Mode	
				U	S	M	U	S	M
RV132	ISA Base		2019	m	m	m	m	m	m
RVE32	ISA Base		2019	m	i	i	m	m	m
RVI64	ISA Base		2019	m	m	m	m	m	m
C	Compressed		2019	s	m	m	s	s	s
D	Scalar DP FP	F	2019	s	m	s	s	s	s
F	Scalar SP FP	not Zfinx	2019	s	m	s	s	s	s
H	Hypervisor		2021	x	x	x	x	x	x
M	Multiply/Divide		2019	s	m	m	s	s	s
Q	Scalar QP FP		2019	u	u	u	u	u	u
Sm1p11	Priv 1.11		2019	s	n	n	n	n	n
Ss1p11	Priv 1.11		2019	s	n	m	n	s	n
Sm1p12	Priv 1.12		2021	x	x	x	x	x	x
Ss1p12	Priv 1.12		2021	x	x	x	x	x	x
Smepmp	Enhanced PMP		2021	x	x	x	x	x	x
Smstateen	State Enable		2021	x	x	x	x	x	x
Sv57	Sv57	Ss1p12	2021	x	x	x	x	x	x
Svinval	Fast TLB Invalidation	Ss1p12	2021	x	x	x	x	x	x
Svnapot	64K NAPOT Pages	Ss1p12	2021	x	x	x	x	x	x
Svpbmt	Page-Based Memory Types	Ss1p12	2021	x	x	x	x	x	x
Sscofpmf	Count Overflow & Mode Filtering		2021	x	x	x	x	x	x
Sstc	Time Compare		2021	x	x	x	x	x	x
Zaamo	Atomics		2019	s	m	m	s	s	s
Zalrsc	Atomics		2019	s	m	m	s	s	s
Zba	Bitmanip		2021	x	x	x	x	x	x
Zbb	Bitmanip		2021	x	x	x	x	x	x
Zbc	Bitmanip		2021	x	x	x	x	x	x
Zbs	Bitmanip		2021	x	x	x	x	x	x
Zbkb	Crypto Scalar (Bitmanip)		2021	x	x	x	x	x	x
Zbkc	Crypto Scalar (Bitmanip)		2021	x	x	x	x	x	x
Zbkx	Crypto Scalar (Bitmanip)		2021	x	x	x	x	x	x
Zdinx	DP FP in Int regs	Zfinx	2021	x	x	x	x	x	x
Zhinx	HP FP in Int regs	Zfinx	2021	x	x	x	x	x	x
Zhinxmin	HP FP Conversions in Int regs	Zfinx	2021	x	x	x	x	x	x
Zfh	HP FP	F	2021	x	x	x	x	x	x
Zfhmin	HP FP Conversions	F	2021	x	x	x	x	x	x
Zfinx	SP FP in Int regs	not F	2021	x	x	x	x	x	x
Zicbom	CMO		2021	x	x	x	x	x	x
Zicbop	CMO		2021	x	x	x	x	x	x
Zicboz	CMO		2021	x	x	x	x	x	x
Zicsr	CSR		2019	s	m	m	m	m	m
Zicntr	Base Counters		2019	s	m	m	s	s	s
Zihpm	Hardware Performance Monitors		2019	s	m	m	s	s	s
Zifencei	FENCE.I		2019	s	u	m	s	s	s
Zihintpause	PAUSE		2021	x	x	x	x	x	x
Zk	Crypto Scalar		2021	x	x	x	x	x	x
Zkn	Crypto Scalar		2021	x	x	x	x	x	x
Zknd	Crypto Scalar		2021	x	x	x	x	x	x
Zkne	Crypto Scalar		2021	x	x	x	x	x	x
Zknh	Crypto Scalar		2021	x	x	x	x	x	x
Zkr	Crypto Scalar		2021	x	x	x	x	x	x
Zks	Crypto Scalar		2021	x	x	x	x	x	x
Zksed	Crypto Scalar		2021	x	x	x	x	x	x
Zksh	Crypto Scalar		2021	x	x	x	x	x	x
Zkt	Crypto Scalar		2021	x	x	x	x	x	x
Zve32f	Vector	F	2021	x	x	x	x	x	x
Zve32x	Vector		2021	x	x	x	x	x	x
Zve64d	Vector	D	2021	x	x	x	x	x	x
Zve64f	Vector	F	2021	x	x	x	x	x	x
Zve64x	Vector		2021	x	x	x	x	x	x
V	Vector		2021	x	x	x	x	x	x



- [Низкопотребляющий MCU K1921BG015 от АО «НИИЭТ»](#)
- [10+ MCU и BLE 5.2 GD32VW553 в портфолио продуктов на RISC-V](#)
- [MIK32 AMUR от компании ГК «Микрон»](#)
- [Беспроводная SoC ESP32-C6 с поддержкой Wi-Fi 6 и Bluetooth 5.0](#)
- Alibaba и T-Head анонсировали выпуск процессоров для платежных терминалов
- [Более 10 продуктов от MCU до BLE на RISC-V от WCH](#)
- China Mobile анонсировала SoC CM8610 LTE-Cat.1 и CM6620 для NB IoT

## Новости и события

- Стандартизация профилей
  - Семейства профилей RVM23
  - Базовые ISA: RV32E, RV64E, RV32I, RV64I
- Расширения
  - New compressed instructions Zc\*(code density)
  - Bitmanip, Scalar crypto, P/V для embedded
  - Fast interrupts, PMP

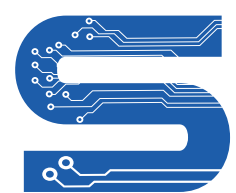




- [Qualcomm, NXP, Infineon, Nordic и Bosch объединились для создания решений на базе RISC-V](#)
- [Анонсирован планшет LicheePad4A с Android 13 \(AOSP\) на RISC-V](#)
- Официальные поставки ноутбука DC-ROMA
- [Qualcomm и Google анонсировали разработку первых СМК для платформы носимых устройств Snapdragon Wear](#)
- Каждый смартфон Pixel 6 содержит чип безопасности M2
- [EdgeQ представила первую в отрасли платформу 5G с AI на архитектуре RISC-V процессоры](#)
- [T-HEAD поддерживают работу с Android](#)

## Новости и события

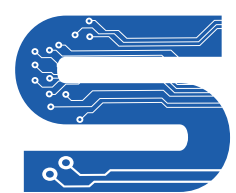
- Google официально объявил о поддержке Android на RISC-V
- Стандартизация проф илей
  - Семейства проф илей - RVA22
  - Базовые ISA: RV32E, RV64E, RV32I, RV64I
- Портировано большое количество SW для данного класса устройств



- [2 ГГц серверный RISC-V процессор SG2042 с 64 ядрами, 64МБ кэш](#)
- [Первый в мире 10Гбит коммутатор Milk-V Vega стандарта 10GbE](#)
- [Сервер от Sophgo – 8x2U server 1024 ядер, KVM, Switch на базе RISC-V процессора SG2042](#)
- [3,6 ГГц Veyrion V2 SoC с 192 ядрами для 5G, Open RAN, AI и Data Center](#)
- [Компактный кластер Lichee Cluster 4A](#)
- [Анонсирована серия CPU ядер RISC-V Cataract для Data Center и HPC](#)

## Новости и события

- Тренд на chiplet решения
- Поддержка RVV 1.0 и RVA22+
- Лучшее соотношение Perf/Watt/\$



Объединение разработчиков **вычислительной техники** и **программного обеспечения** на основе архитектуры RISC-V

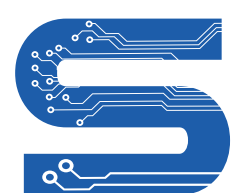
## Альянс RISC-V

Является объединением юридических лиц — независимых разработчиков вычислительной техники и программного обеспечения на основе архитектуры RISC-V.

Альянс основан на добровольном членстве, создан для развития и популяризации архитектуры RISC-V в нашей стране, представления и защиты общих интересов участников

4 комитета – технологический, индустриальный, академический и правовой

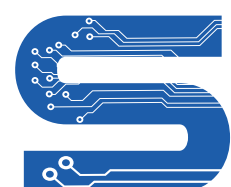
<https://riscv-alliance.ru>



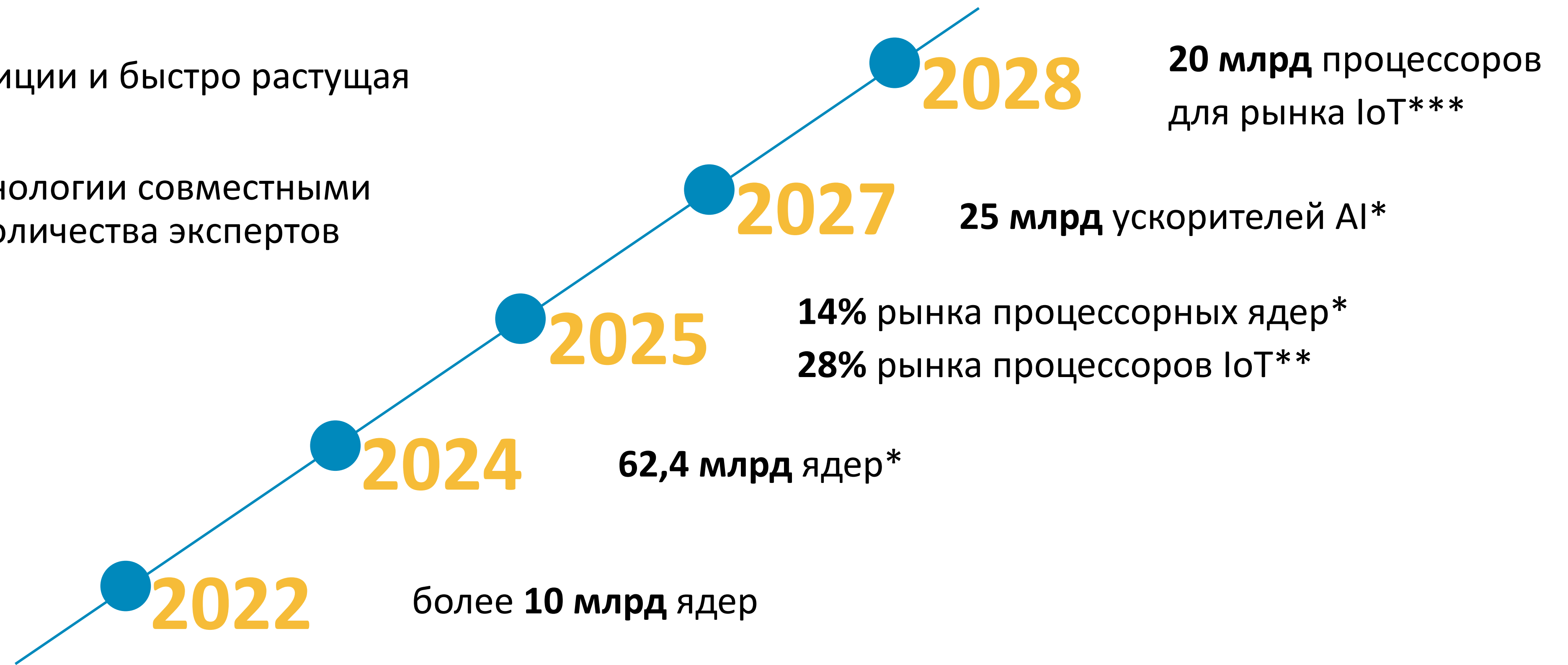


Продукты	До 2023 года	2024	2025	2026+
IP – ядра	<ul style="list-style-type: none"> <li>• 2 линейки MCU класса</li> <li>• 2 линейки CPU класса</li> </ul>	Регулярное обновление продуктовых линеек	<ul style="list-style-type: none"> <li>• Регулярное обновление продуктовых линеек</li> <li>• CPU серверного класса</li> </ul>	<ul style="list-style-type: none"> <li>• Регулярное обновление продуктовых линеек</li> </ul>
Процессоры		Инженерные образцы	Прототипы: <ul style="list-style-type: none"> <li>• CPU для ВТ</li> <li>• CPU для систем связи</li> <li>• CPU для АСУ-ТП</li> </ul>	Выход в серию: <ul style="list-style-type: none"> <li>• CPU для ВТ</li> <li>• CPU для систем связи</li> </ul>
Микроконтроллеры	<ul style="list-style-type: none"> <li>• АСУ-ТП</li> <li>• Систем хранения</li> <li>... 10+ продуктов</li> </ul>	<ul style="list-style-type: none"> <li>• Измерительных систем/IoT</li> <li>• Низкого энергопотребления</li> <li>• Сетевого коммутатора</li> <li>... 2+ продукта</li> </ul>	<ul style="list-style-type: none"> <li>• АСУ-ТП (3 типа)</li> <li>• Интернета вещей(IoT)</li> <li>• Управления двигателями</li> <li>... 17+ продуктов</li> </ul>	Новые продукты
Отладочные платы	<ul style="list-style-type: none"> <li>• MCU начального уровня</li> <li>• Контроллера IoT</li> </ul>	Количество плат соответствует количеству продуктов	Количество плат соответствует количеству продуктов	Количество плат соответствует количеству продуктов
Операционные системы		<ul style="list-style-type: none"> <li>• Linux (от компании РФ)</li> <li>• ОСРВ для MCU (РФ)</li> </ul>	ОСРВ для CPU RV64(РФ)	Новые ОС

Десятки новых продуктов RISC-V разрабатываются в России



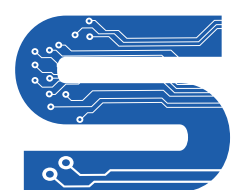
- Спрос во всех сегментах и на всех уровнях производительности
- Существенные инвестиции и быстро растущая экосистема
- Быстрое развитие технологии совместными усилиями большого количества экспертов



\* Semico Research, December 2021

\*\* Counterpoint Technology Market Research, September 2021

\*\*\* Omdia Research, May 2023



## Вопросы?

[roman.popov@syntacore.com](mailto:roman.popov@syntacore.com)

